

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-304632

(43)Date of publication of application : 16.11.1993

(51)Int.Cl.

H04N 5/232
H04N 5/228

(21)Application number : 04-205326

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 31.07.1992

(72)Inventor : OKINO TOSHIYUKI
KOBAYASHI AKIO
INUMA TOSHIYA

(30)Priority

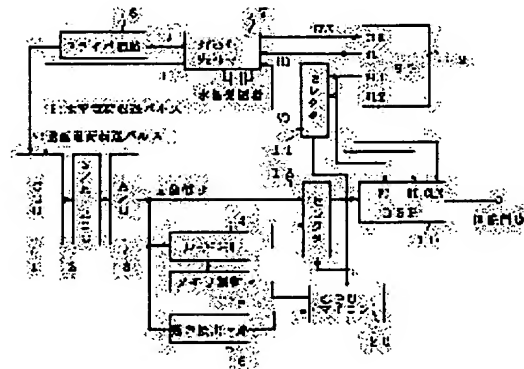
Priority number : 04 78982 Priority date : 28.02.1992 Priority country : JP

(54) PICTURE SIGNAL OUTPUT CONTROLLER

(57)Abstract:

PURPOSE: To reduce power consumption by selecting different synchronizing signals for a pulse generating means and a digital signal processing means at the time of selecting a signal from a field memory, and applying it to a signal processing means, and selecting the same synchronizing signal at the time of applying a picture signal from an image pickup device to the signal processing means.

CONSTITUTION: The picture signal in an odd field is read out from a CCD 1 according to a vertical charge transfer pulse prepared by a timing generator 7 according to a vertical synchronizing pulse from a selector 11, and it is applied through an S/H.AGC circuit 2, and an A/D circuit 3 to a filed memory 4, selector 12, and movement detecting circuit 6. Then, at the time of reading the picture signal by the vertical charge transfer pulse, the picture signal of an even filed is read, and applied to the memory 4, selector 12, and circuit 6 and the pictures of the odd and even fields are alternately read. Thus, when a hand jiggling correction is not operated, an output from the circuit 3 is directly selected without allowed to pass through the memory 4, and when the hand jiggling correction is operated, the odd and even fields are inverted by a DSP 10.



LEGAL STATUS

[Date of request for examination] 21.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

3286349

[Date of registration]

08.03.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-304632

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl.⁵

H 0 4 N 5/232
5/228

識別記号

Z
Z

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号 特願平4-205326

(22)出願日 平成4年(1992)7月31日

(31)優先権主張番号 特願平4-78982

(32)優先日 平4(1992)2月28日

(33)優先権主張国 日本(JP)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 沖野 俊行

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 小林 昭男

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 飯沼 俊哉

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

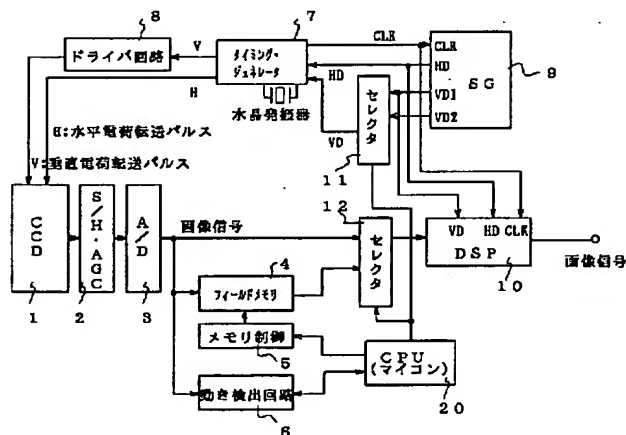
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 画像信号出力制御装置

(57)【要約】

【目的】 この発明は、特に、手振れ補正あるいは電子ズーム等を行うことが出来る小型ビデオカメラの電力消費量を節約することを目的とする。

【構成】 この発明の画像信号出力制御装置は、CCD1と、1/2水平同期パルス分だけタイミングが互いに相違する第1及び第2の同期パルスVD1、VD2を発生する同期パルス発生手段9と、同期パルスに応じて電荷転送パルスVを作成するタイミングジェネレータ7と、タイミングジェネレータ7へ第1又は第2の同期パルスVD1、VD2を選択して与えるセクタ11と、CCD1からの画像信号を1フィールド分格納するフィールドメモリ4と、前記同期パルス発生手段9から与えられる第1の同期パルスVD1により同期が取られ画像信号をデジタル的に信号処理するDSP10と、CCD1からの画像信号又はフィールドメモリ4からの信号を選択して信号処理手段へ与えるセクタ12と、セクタ11、12への切り替えタイミングを制御する制御手段20と、を備えてなる。



【特許請求の範囲】

【請求項1】 撮像素子と、1/2水平同期パルス分だけタイミングが互いに相違する第1及び第2の同期パルスを発生する同期パルス発生手段と、前記同期パルスに応じて前記撮像素子に与える電荷転送パルスを作成するパルス発生手段と、前記パルス発生手段へ前記第1又は第2の同期パルスを選択して与える第1の選択手段と、前記撮像素子からの画像信号を1フィールド分格納するフィールドメモリと、前記同期パルス発生手段から与えられる第1の同期パルスにより同期が取られ画像信号をデジタル的に信号処理するデジタル信号処理手段と、前記撮像素子からの画像信号又は前記フィールドメモリからの信号を選択して信号処理手段へ与える第2の選択手段と、前記第1及び第2の選択手段への切り替えタイミングを制御する制御手段と、を備え、前記フィールドメモリからの信号を選択して信号処理手段へ与える場合には、前記パルス発生手段とデジタル信号処理手段は異なる同期パルスが選択され、撮像素子からの画像信号を信号処理手段へ与える場合には、前記パルス発生手段とデジタル信号処理手段は同一の同期パルスが選択される画像信号出力制御装置。

【請求項2】 前記パルス発生手段に与える同期パルスを切り替えたとき、前記撮像素子の出力が安定するまで、前記フィールドメモリからの信号を選択して信号処理手段へ与えることを特徴とする請求項1に記載の画像信号出力制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はビデオカメラの手振れ補正装置や電子ズーム等のフィールドメモリを用いてそこからの信号の読み出しを選択的に行うような場合に好適な画像信号出力制御装置に関する。

【0002】

【従来の技術】 近年、ビデオカメラの普及と共に、その小型、軽量化、高倍率ズーム化が進んでいる。これらの改良に伴い、手持ち撮影による振れが発生し、この手振れによる画像の劣化が問題となっている。この問題に対して、従来よりジャイロを用いる方法、加速度センサと機械的な補正を組み合わせる方法など多く考えられてきた。ところで最近、電気的に手振れの検出及び補正を行う方法が開発されている。（月刊誌「テレビ技術」90年6月号参照）。

【0003】 この方法の概略を図5に示す。この図5では、レンズ、撮像素子（CCD）21、カメラ回路22を経て出力される画像信号をアナログ・デジタル変換回路（以下、A/D回路という。）23で、アナログ・デジタル変換し、その信号をフィールドメモリ24に記憶しておき、さらに、次の画像信号よりフィールド間の画像の動きを手振れ検出回路25にて検出する。それを元に手振れ制御回路26の手振れ量を算出する。そして、こ

の手振れ制御回路26からメモリ制御回路27に制御信号を与え、フィールドメモリ24のメモリの読み出しを制御し、画像の位置を移動させる。

【0004】 この移動は、先ずもとの画像の大きさに対してズーム量だけの枠を決め、この枠の位置を元の画像内においては自由に移動できるように設定しておく。そして、この枠の分だけ元の画像に対応した大きさになるように、電子ズーム回路28を用いて拡大するものである。このように任意の場所の画像を電気的にズームでき、これにより、元の画像には切り出し枠の差だけによるスペースができる。即ち、ビデオカメラの手振れが起ると画像位置が振れる。そこで予め切り出し枠を決めておき、検出された動き量に応じてこの切り出し枠を動かすことにより、切り出し枠内の画像の振れは補正される。これをデジタル・アナログ変換して元に戻してやることで手振れ補正が行われる。

【0005】 ところで、ビデオ信号においては、インターレース方式が採用されており、偶数（even）フィールドと、奇数（odd）フィールドが交互に信号として出力される。

【0006】 手振れ補正を行う場合、フィールドメモリ24に1フィールド分を蓄えておき、その信号をデジタル・シグナル・プロセッサ（以下、DSPという。）に与え、画像信号をデジタル的にRGB等の画像信号に処理し、画像信号として出力記録される。

【0007】 このように、フィールドメモリ24に、一旦CCDからの信号が蓄えられ、そのフィールドメモリからDSPへ信号が送られる構成がとられることにより、現在CCDから出力されている信号が偶数フィールドの信号であっても、DSPに送られる信号は奇数フィールド、即ちフィールドメモリで1フィールド分遅延して信号が送られることになる。

【0008】 ところで、ビデオカメラの撮影においては、手振れ補正を用いる場合と手振れ補正を用いない場合がある。しかし、従来の構成においては、手振れ補正を用いる場合、用いない場合にかかわらず、フィールドメモリに一旦1フィールド分の画像信号を蓄え、そのフィールドメモリからDSPへ信号を出力する構成がとられているため、常に、フィールドメモリを駆動させておく必要があり、そのフィールドメモリを駆動させるための電力を常に必要とする。特に、小型軽量化の進むビデオカメラにおいては、なるべく消費電力を少なくする方が好ましく、充電電池等を用いている小型ビデオカメラにおいては、常にフィールドメモリに電力を供給しているようであれば、電力を余分に消費することになり、撮影できる時間が少なくなるという欠点がある。最近、小型ビデオカメラにおいては、長時間録画再生することが望まれており、この点改良が望まれていた。

【0009】

【発明が解決しようとする課題】 そこで、手振れ補正あ

3

るいは電子ズーム等を行なう場合には、フィールドメモリを通してCCDからの画像信号をDSPへ出力し、手振れ補正あるいは電子ズーム等を行わない場合には、フィールドメモリに信号を通さずに直接DSPへ送るよう構成し、この時フィールドメモリの駆動を停止すれば、その電力消費量を節約することが可能となる。

【0010】しかしながら、手振れ補正あるいは電子ズーム等を行なう場合と行わない場合で、DSP側へ入力される画像信号は前述したように、フィールドメモリで1フィールド分ずれるため奇数、偶数フィールドが逆になる。従って、フィールドメモリを用いる場合と、フィールドメモリを用いない場合には、CCDからDSPへ送られる信号は逆転し、その結果、その画像を出力すれば、奇数フィールドと偶数フィールドとの信号が逆転したまま再生されるので、画像信号としては使いものにならないという問題があった。

【0011】この発明は、このような従来の難点に鑑みてなされたもので、フィールドメモリを使用時、非使用時と切り替えても、DSPへは奇数、偶数フィールドの順序が逆転することなく信号出力できるように、画像信号出力を制御する画像信号制御装置を提供することをその目的とする。

【0012】

【課題を解決するための手段】この発明の画像信号出力制御装置は、撮像素子と、1/2水平同期パルス分だけタイミングが互いに相違する第1及び第2の同期パルスを発生する同期パルス発生手段と、前記同期パルスに応じて前記撮像素子に与える電荷転送パルスを作成するパルス発生手段と、前記パルス発生手段へ前記第1又は第2の同期パルスを選択して与える第1の選択手段と、前記撮像素子からの画像信号を1フィールド分格納するフィールドメモリと、前記同期パルス発生手段から与えられる第1の同期パルスにより同期が取られ画像信号をデジタル的に信号処理するデジタル信号処理手段と、前記撮像素子からの画像信号又は前記フィールドメモリからの信号を選択して信号処理手段へ与える第2の選択手段と、前記第1及び第2の選択手段への切り替えタイミングを制御する制御手段と、を備えてなる。

【0013】更に、前記パルス発生手段に与える同期パルスを切り替えたとき、前記撮像素子の出力が安定するまで、前記フィールドメモリからの信号を選択して信号処理手段へ与えるように制御すると良い。

【0014】

【作用】前記フィールドメモリからの信号を選択して信号処理手段へ与える場合には、前記パルス発生手段とデジタル信号処理手段は異なる同期パルスが選択され、撮像素子からの画像信号を信号処理手段へ与える場合には、前記パルス発生手段とデジタル信号処理手段は同一の同期パルスが選択される。この結果、フィールドメモリを使用時、非使用時と切り替えても、デジタル信

4

号処理手段へは奇数、偶数フィールドの順序が逆転することなく信号出力できる

【0015】又、撮像素子の出力が安定するまで、前記フィールドメモリからの信号を選択して信号処理手段へ与えることで、デジタル信号処理手段へはノイズのない信号を常に送ることができる。

【0016】

【実施例】以下、図面に従いこの発明を手振れ補正装置に適用した実施例を説明する。図1はこの実施例における画像信号出力制御回路の概略のブロック図を示し、図2は水平垂直同期パルスタイミングチャートであり、

(b)は(a)の部分拡大図である。図3はフィールドメモリの非使用時から使用時に切り替えた時の夫々の信号の状態を示す図、図4はフィールドメモリ使用時から非使用時に切り替えた時の各信号の状態を示す図である。

【0017】図1に示すように、CCD1にて撮像された画像信号が相關二重サンプリング及びオートゲインコントロール回路(以下、S/H・AGC回路という)2に送られる。そのS/H・AGC回路2にてCCD特有のリセットノイズを除去し、この値をコントロールされたデータがアナログデジタル変換回路(以下、A/D回路という)3に与えられる。そして、このA/D回路3でデジタル信号に変換された画像信号がフィールドメモリ4、動き検出回路6及びセクタ12に夫々送られる。このセクタ12は、手振れ補正を行うときにはフィールドメモリ4からの出力を、手振れ補正を行わないとき(以下、スルーという。)にはフィールドメモリ4を通らずに直接A/D回路3からの出力を、選択し、DSP10に与える。

【0018】このCCD1には、垂直電荷転送パルス(V)及び水平電荷転送パルス(H)が与えられ、このパルスによりCCD1から画像信号が出力される。垂直電荷転送パルス(V)はタイミングジェネレータ7からドライバ回路8を介し与えられ、水平電荷転送パルス(H)がタイミングジェネレータ7より夫々与えられる。

【0019】このタイミングジェネレータ7は水晶発振器から基本クロック(CLK)を作成し、この基本クロック(CLK)が同期発生回路9に与えられる。この同期発生回路9から水平同期パルス(HD)と垂直同期パルス(VD1、VD2)が夫々発生されタイミングジェネレータ7などに与えられる。垂直同期パルス(VD1、VD2)はセクタ11を介してタイミングジェネレータ7に与えられ、この実施例では、手振れ補正の時には、垂直同期パルス(VD2)が選択され、スルーのときには、垂直同期パルス(VD1)が選択される。更に、この基本クロック(CLK)、垂直同期パルス(VD1)及び水平同期パルス(HD)はDSP10に夫々駆動信号として与えられる。

5

【0020】垂直同期パルス(VD1)及び垂直同期パルス(VD2)は図2に示すように、1/2h期間だけタイミングがずれて作成されている。これはインターレース信号のために、奇数フィールドと偶数フィールドが、1/2h期間だけタイミングがずれることに対応するものである。

【0021】CCD1からは垂直電荷転送パルス(V)に応じて、奇数フィールド及び偶数フィールドの信号が読み出される。

【0022】従って、たとえば、セクタ11からの垂直同期パルス(VD)に応じてタイミングジェネレータ7で作成された垂直電荷転送パルス(V)に従ってCCD1から奇数フィールドの画像信号が読み出され、この画像信号がS/H・AGC回路2、A/D回路3からフィールドメモリ4及びセクタ12及び動き検出回路6に与えられる。そして、次の垂直電荷転送パルス(V)により偶数フィールド用の画像信号がフィールドメモリ4、動き検出回路6、セクタ12に夫々与えられる。即ち、画像信号は奇数フィールド、偶数フィールドと交互に読み出されて画像信号として出力される。

【0023】動き検出回路はCCD1からS/H・AGC2回路、A/D回路3を介して出力された画像信号を受け取って、画像全体の動きベクトルV₀を算出し、マイクロコンピュータからなる制御回路20に与える。そしてマイクロコンピュータ20はこの動きベクトルV₀に従って、フィールドメモリ4の書き込み及び読み出しタイミングを制御するメモリ制御回路5に制御信号を与える。このフィールドメモリ4からはメモリ制御回路5からの制御信号に基づき、セクタ12を介してDSP10に奇数又は偶数フィールド信号が与えられる。

【0024】さて、前述したようにビデオ信号はインターレース方式を採用しているため、奇数フィールド、偶数フィールドが交互に送られることになる。

【0025】この発明においては、手振れ補正を行う際には、DSP10に入力される画像信号はフィールドメモリ4からの出力を又手振れ補正を行わない際にはスルー出力をDSP10に与えるよう構成している。即ち、行わない場合にはフィールドメモリ4を使用しないことにより、電力の節約を行うものである。この際、手振れ補正を行う場合と行わない場合でDSP10側へ行く画像信号は1フィールド分ずれる。即ちフィールドメモリ4で1フィールド分遅延されるため、フィールドメモリ4を介してDSP10に出力する場合と、フィールドメモリ4を介さずにDSP10へ出力する場合には、CCD1からの信号とDSP10の信号とは奇数、偶数フィールドが逆になる。

【0026】そこで、この発明においては、CCD出力の方もフィールドメモリ4を使用時と非使用時とで、奇数フィールド用と偶数フィールド用とを変更するために、垂直電荷転送パルス(V)のタイミングを変更する

6

ものである。即ち、垂直電荷転送パルス(V)を作成するために、タイミングジェネレータ7に与えられる垂直同期パルス(VD)をセクタ11が垂直同期パルス(VD1)または垂直同期パルス(VD2)から選択して出力する。

【0027】そして、この実施例では、垂直同期パルスVD1がスルーの時の信号、垂直同期パルスVD2がフィールドメモリ使用の時の信号とする。即ち手振れ補正を行う場合にはVD2を手振れ補正を行わない場合には垂直同期パルスVD1の信号を用いるように、マイクロコンピュータ20によってセクタ11が制御される。

【0028】また、マイクロコンピュータ20は、セクタ12も制御し、このセクタ12によって、フィールドメモリ4からの信号またはスルー信号を選択するものである。

【0029】この発明の動作を図3及び図4に従い更に説明する。

【0030】先ず図3に従ってフィールドメモリ4を使用していない、即ち手振れ補正を行わない状態からフィールドメモリ3を使用し、手振れ補正を行うように切り替え動作をした場合につき説明する。

【0031】先ず奇数(ODD)1、偶数(EVEN)2、奇数(ODD)2と垂直同期パルスVD1に基づいて作成された転送パルスVによりCCDが駆動され、その出力がセクタ12を介してDSP10に与えられる。

【0032】CCD1の出力が奇数(ODD)1にした時点で、手振れ補正を開始するため、フィールドメモリ4の制御を開始すると、この時点ではセクタ11、12の切り替えはまだ行われない。従って、DSP10には奇数(ODD)1に、続いてCCD出力が偶数(EVEN)2が入力される。そしてフィールドメモリ4にも、偶数(EVEN)2が入力され、この値が記憶される。

【0033】続いて、CCD1から奇数(ODD)2が出力され、フィールドメモリ4には奇数(ODD)2入力され、この値が記憶されるとともに、フィールドメモリ4から偶数(EVEN)2が出力される。この時点に於いても、セクタ11、12の切り替えは行われておらず、DSP10には偶数(EVEN)2に続いて奇数(ODD)2が入力される。そして、CCD1から奇数(ODD)2が出力された時点でマイクロコンピュータ20によりセクタ11、12の切り替えが行われる。即ち、マイクロコンピュータ20よりセクタ12を切り替え、DSP10へフィールドメモリ4からの出力を与えるように制御する。そして、マイクロコンピュータ20により、セクタ11からフィールドメモリ4の使用のタイミングである垂直同期パルスVD2が選択され、この垂直同期パルスVD2に基づいた転送パルスVがCCD1に与えられる。この結果、CCD1からは奇

数 (ODD) 3、偶数 (EVEN) 3、奇数 (ODD) 4、偶数 (EVEN) 4、奇数 (ODD) 5、偶数 (EVEN) 5と奇数 (ODD)、偶数 (EVEN) がこの時点から逆転されて出力される、この出力がフィールドメモリ4にあたえられることになる。

【0034】しかしながら、CCD1の転送パルスVを切り替えた時点では、CCD1の出力は安定していないため、このまま出力をフィールドメモリ4に入力してもこの信号はノイズとなり使用しても好ましくない。従って、この実施例では、CCD1の出力が安定するまで、フィールドメモリ4へはこの信号を書き込まないように、マイクロコンピュータ20によりメモリ制御回路5を介してフィールドメモリ4への書き込みを禁止するように制御している。そしてこの期間フィールドメモリ4からはは同一データ、この実施例では奇数 (ODD) 2が読み出される。即ち、セクタ12によって、CCD1の駆動信号パルスを切り替える前の画像信号、即ちこの実施例の場合では奇数 (ODD) 2のフィールドの信号が読み出される。従って、DSP10に奇数 (ODD) 2の信号がずっとCCD1の出力が安定するまで読み出されることになる。即ち、この間はいわゆるスチルの状態の信号が出力されることになる。そして、CCD1の出力が安定するとフィールドメモリ4に信号を書き込むように、マイクロコンピュータ20がフィールドメモリ制御回路5を制御し、この実施例では、奇数 (ODD) 4の時点CCD1の出力が安定したとし、奇数 (ODD) 4からフィールドメモリ4に信号を書き込み、その後偶数 (EVEN) 4というように、フィールドメモリ4に信号が順次入力され、フィールドメモリ4からは奇数 (ODD) 4、偶数 (EVEN) 4、奇数 (ODD) 5と出力されて、その信号がDSP10には奇数 (ODD) 4、偶数 (EVEN) 4、奇数 (ODD) 5という状態でCCD1からの出力とフィールドメモリ4からの読み出し出力が1フィールド遅延した状態で出力されることになる。

【0035】次に図4に従い手振れ補正を行っている状態から手振れ補正を停止した状態への移行期間、即ちフィールドメモリ4の使用状態からフィールドメモリ4の非使用状態につき説明する。

【0036】フィールドメモリ4の使用状態では、CCD1の出力とDSP10入力は1フィールドずれている状態で同期が取れている。即ち、CCD出力が奇数 (ODD) の場合には、DSP10入力は偶数 (EVEN)、CCD出力が偶数 (EVEN) の場合には、DSP10入力は奇数 (ODD) と1フィールド遅延した状態で信号が入力される。

【0037】そして、フィールドメモリ4を非使用OFFにすると、セクタ11が前述したようにフィールドメモリ4の使用のための垂直同期パルスVD2から、スルーのための垂直同期信号VD1に切り替わり、この結

果CCD1の出力の奇数 (ODD)、偶数 (EVEN) が逆転する。この実施例では、奇数 (ODD) 2の出力が終わった時点で、フィールドメモリ4の使用状態からフィールドメモリ4の非使用状態に切り替えられ、この時点でセクタ11が垂直同期パルスVD2から、スルーのための垂直同期信号VD1を選択する様に切り替わる。従って、CCD1の出力は奇数 (ODD) 2の後に奇数 (ODD) 3、偶数 (EVEN) 4、奇数 (ODD) 4、偶数 (EVEN) 5と切り替えられる。

【0038】セクタ11を切り替えた時のCCD1の出力は、前述したように安定していないため、この出力は使用しない。従って、この間はフィールドメモリ4に入力されている奇数 (ODD) 2の出力をDSP10に出力する。即ち、セクタ12はフィールドメモリ4の出力を選択している。そして、その状態からCCD1が安定した状態になると、この実施例では奇数 (ODD) 4の時点でCCD1が安定したとし、この時セクタ12が切り替えられ、CCD1の出力を直接DSP10に出力する。この時セクタ12の切り替えでフィールドメモリ4を非使用状態とする。即ち、それまでは、セクタ11が垂直同期パルス (VD1) に切り替わってもフィールドメモリ4は直ちに非使用状態にならずに、CCD1の出力が安定するまで同じ信号を出力する様に、フィールドメモリ4を読み出し専用で使用し、その間スチル信号を出力しているわけである。そしてCCD1の信号が安定し、CCD出力が直接DSP10へ入力する、即ちスルーになるとフィールドメモリ4は非使用状態になる。

【0039】尚、ここで注目することは、この実施例においては、フィールドメモリ4の使用時、非使用時の切り替え動作の時、CCD1の出力の方も奇数 (ODD)、偶数 (EVEN) を切り替えると共にCCD1の出力を安定するまでは、フィールドメモリ4に書き込まれた信号を出力する、即ちフィールドメモリ4から同一データを読み出すスチル期間を設けることである。これは単に画像信号の偶数 (EVEN)、奇数 (ODD) の切り替えだけを行うと、CCD出力の状態が安定した後ではなんら問題はないが、CCD出力の状態が安定していない間の出力をそのまま取り込むとすれば画像はどのような画像になるか分からず、それがノイズの状態となり画像が乱れるからである。このような画像の乱れをそのまま出力するよりはむしろ同じフィールドを数フィールド間複数回読み出し、その間スチルにする方が見る方にとっても画像が極めて良好な状態として見れるからである。

【0040】

【発明の効果】以上説明したように、この発明によれば、手振れ補正や電子ズーム等の使用時・非使用時のようにフィールドメモリを使用時、非使用時と切り替えても、デジタル信号処理手段へは奇数、偶数フィールド

の順序が逆転することなく信号出力できる。従って、不必要な場合にはフィールドメモリの駆動を停止することができ、消費電力を節減することが出来る。

【0041】又、撮像素子の出力が安定するまで、前記フィールドメモリからの信号を選択して信号処理手段へ与えることで、デジタル信号処理手段へはノイズのない信号を常を送ることができ、良好な画像を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例における画像信号出力制御回路のブロック図である。

【図2】この発明の水平垂直同期パルスのタイミングチャートであり、(b)は(a)の部分拡大図である。

【図3】フィールドメモリの非使用時から使用時に切り替えた時の夫々の信号の状態を示す図である。

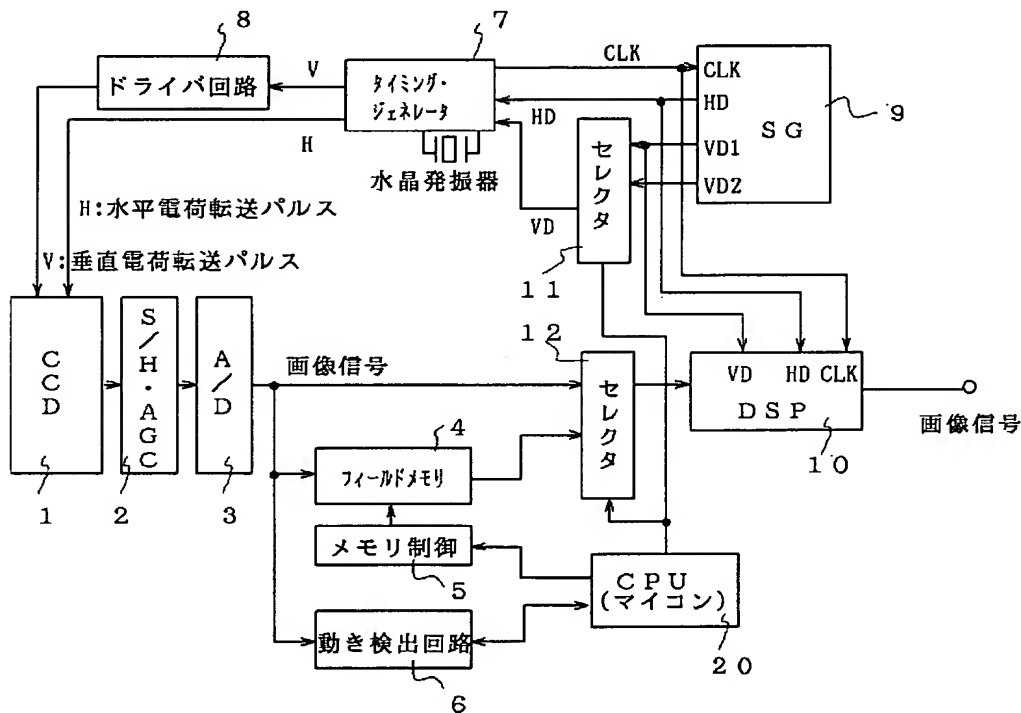
【図4】フィールドメモリ使用時から非使用時に切り替えた時の各信号の状態を示す図である。

【図5】手振れの検出及び補正を行う従来装置を示すブロック図である。

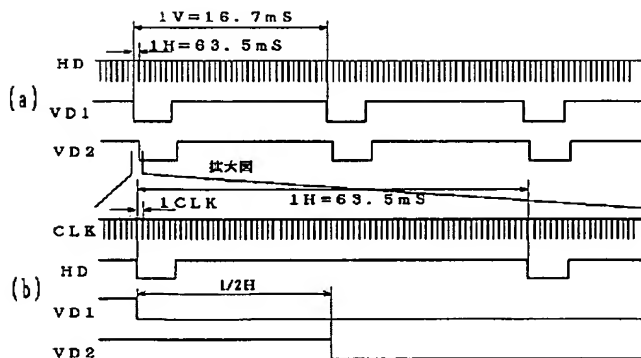
【符号の説明】

- 1 CCD
- 4 フィールドメモリ
- 9 同期発生回路
- 7 タイミングジェネレータ
- 10 DSP

【図1】



【図2】



Timing diagram showing the relationship between various signals:

- VD**: Vertical clock signal.
- メモリ OFF / ON**: Memory control signal.
- メモリ制御開始**: Memory control start.
- メモリ読み書き同時使用時間**: Simultaneous memory read/write time.
- スチル期間**: Still period.

The diagram illustrates the sequence of operations for the CCD camera system, including memory control, data transfer, and processing.

The timing diagram illustrates the sequence of operations during a still image period. It shows four main signals: V_D, Memory Output (メモリ出力), Memory Input (メモリ入力), and DSP Input (DSP入力). The Memory Output signal alternates between EVEN and ODD frames. The Memory Input signal is active during the memory refresh period. The DSP Input signal receives data from the CCD output. The diagram also indicates the start and end of the memory refresh period and the memory refresh stop.

Signal	Frame 1	Frame 2	Frame 3	Frame 4	Frame 5	Frame 6	Frame 7	Frame 8
V _D	High	Low	High	Low	High	Low	High	Low
メモリ出力	EVEN 1	ODD 2	ODD 3	EVEN 4	ODD 4	EVEN 5	ODD 5	EVEN 6
メモリ入力	X	X	X	X	X	X	X	X
メモリ出力	X	EVEN 1	X	ODD 2	X	X	X	X
DSP入力	X	ODD 1	EVEN 1	X	ODD 2	X	ODD 4	EVEN 5

メモリ制御期間 スチル期間 CCD出力を直接DSPへ入力

```

graph LR
    21[撮像素子 21] --> 22[カメラ回路 22]
    22 --> 23[A/D 23]
    23 --> 24[フィールドメモリ 24]
    24 --> 28[電子ズーム 28]
    28 --> 出力[出力]
    23 --> 25[手振れ検出回路 25]
    25 --> 26[手振れ制御回路 26]
    26 --> 27[メモリ制御回路 27]
    27 --> 24
  
```